



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0025424  
Application Number

출 원 년 월 일 : 2003년 04월 22일  
Date of Application APR 22, 2003

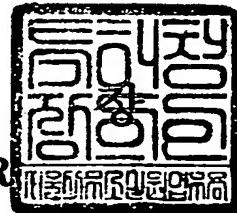
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 13 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.22
【발명의 명칭】	자기 랜덤 액세스 메모리
【발명의 영문명칭】	Magnetic random access memory
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	오형록
【성명의 영문표기】	OH, Hyung Rok
【주민등록번호】	690310-1641411
【우편번호】	463-772
【주소】	경기도 성남시 분당구 서현동 시범단지 삼성아파트 102-504
【국적】	KR
【발명자】	
【성명의 국문표기】	조우영
【성명의 영문표기】	CHO, Woo Yeong
【주민등록번호】	681006-1841019
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대아파트 211동 1103호
【국적】	KR
【발명자】	
【성명의 국문표기】	김수연
【성명의 영문표기】	KIM, Su Yeon
【주민등록번호】	791009-2651119

1020030025424

출력 일자: 2003/5/14

【우편번호】

441-110

【주소】

경기도 수원시 권선구 세류동 1157 연립주택 305호

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인  
우 (인) 박영

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 2 면 2,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 31,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

다중 입출력 방식의 기입(PROGRAM) 동작과 로우단위의 결합 셀 구제(REPAIR) 동작을 수행하는 자기 랜덤 억세스 메모리에 관한 것이다. 본 발명은 기판 상에 가로방향으로 연장된 디지트라인과 상기 기판 상에 세로 방향으로 연장된 비트라인과 상기 디지트라인과 상기 비트라인 사이의 교차 공간에 장축이 가로 방향으로 배치되고, 단축이 세로 방향으로 배치된 장방형의 자유자성층을 가진 자기 메모리 셀로 구비되는 것을 특징으로 하는 자기 저항 랜덤 억세스 메모리를 제공하는 것이다. 다중 입출력 방식의 기입동작이 가능하며 로우단위의 결합 셀의 구제 동작을 효율적으로 수행할 수 있다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

자기 랜덤 엑세스 메모리{Magnetic random access memory}

**【도면의 간단한 설명】**

도 1은 자기 메모리 셀의 사시도이다.

도 2는 상기 도 1의 자기 터널 접합 부분을 본 발명에 따라 나타내는 평면도이다.

도 3a 내지 도 3e는 상기 도 2에서 배치된 자기 터널 접합 부분의 자화 메카니즘을 나타내는 그레프이다.

도 4a 내지 도 4e는 상기 도 3a 내지 도 3e의 반대의 자화 메카니즘을 나타내는 그레프이다.

도 5는 본 발명의 자기 랜덤 엑세스 메모리를 나타내는 단위 블록영역 나타낸 개략도이다.

**<주요 도면의 부호에 대한 설명>**

100 : 자기 메모리 셀      110 : 자기 터널 접합

120 : 비트라인      130 : 디지트라인

140 : 자유자성층      150 : 터널 절연층

160 : 고정자성층      170 : 반자성층

180 : 워드 라인      190 : 트랜지스터

200 : 접지(GROUND)      210 : 블록영역

220 : 서브블록영역들      230 : 디지트라인들

240 : 비트라인들 250 : 자화 방향

260 : 로우선택구동수단 270 : 제1컬럼선택구동수단

280 : 제2컬럼선택구동수단 290 : 센싱 및 기입구동수단

300 : 입출력라인들 310, 320 : 어드레스 된 자기 메모리 셀들

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 자기 랜덤 액세스 메모리(Magnetic random access memory, 이하에서는 MRAM으로 표기)에 관한 것으로, 보다 구체적으로는 다중 입출력 방식의 기입(PROGRAM) 동작과 결합 셀 구제(REPAIR) 동작을 수행하는 자기 저항 랜덤 액세스 메모리에 관한 것이다.

<19> 일반적으로 사용되는 자기 메모리 셀은 자기 터널 접합(Magnetic tunneling junction, 이하에서는 MTJ으로 표기)과 트랜지스터로 구비되어 있다. 그리고 자기 메모리 셀은 디지트 라인과 비트라인의 교차 공간에 위치하고 있다. 그리고 상기 트랜지스터는 일반적으로 N-채널 필드 효과 트랜지스터이다.

<20> MTJ는 일반적으로 자기적 이방성을 보장하기 위하여 장방형의 형태를 가진다. 그리고 상기 MTJ의 기본 구조는 스택구조로서 하부로부터 반자성체, 고정자성층, 고정자성층 상에 위치한 터널 장벽층, 터널 장벽층 상에 위치하고 자유자성층

을 포함하고 있다. 상기 반자성체를 하부전극으로 명명하며, 상기 자유 자성층을 상부전극으로 명명한다. 자기 메모리 셀 내부 구조를 살펴보면 스택구조의 MTJ의 하부전극인 반자성층은 트랜지스터의 드레인과 연결되어 있으며, 상기 반자성층과 절연되어 있으면서 상기 반자성층의 하부에 디지트라인이 위치하고 있다. 그리고 상기 MTJ의 상부전극은 비트라인과 연결되어 있다. 그리고 반자성체에 의하여 자화 방향이 고정되어 있는 고정자성층과는 달리 자유자성층은 직교하는 비트라인과 디지트라인에 흐르는 상대적인 전류 방향에 따라 생성되는 합성 자계에 의해 자화 반전이 가능한 층이다.

- <21> MRAM 설계에서 기입동작은 다음 과정을 통하여 이루어지게 된다. 즉 서로 직교하는 비트라인과 디지트라인의 전류방향에 따른 합성자계에 따라 자유자성층의 자화 방향을 반전시킴으로써 MTJ의 저항을 변화시키게 되는데, 고정자성층과 자유자성층의 자화 방향이 평행한 경우에는 MTJ가 "저저항"상태가 되며, 고정자성층과 자유자성층의 자화방향이 반 평행한 경우에는 MTJ가 "고저항"상태를 지니게 된다.
- <22> 결국 자기 메모리 셀 내부의 MTJ는 고정자성층과 자유자성층의 상대적인 자화 방향에 따라 저항이 변하는 가변저항의 특성을 보이게 된다. 즉 상기 MTJ의 고정자성층과 자유자성층의 자화 방향이 평행하게 되어 MTJ가 "저저항" 상태에 있다면 다량의 셀 관통전류가 발생하여 셀 노드에는 데이터 "0"이 저장되며, 이와 반대로 고정자성층과 자유자성층의 자화 방향이 반 평행하게 되어 MTJ가 "고저항" 상태로 전이되면 소량의 관통전류가 발생하여 셀 노드에는 데이터 "1"이 저장되게 된다.
- <23> 이러한 동작 메카니즘을 가지는 자기 메모리 셀을 이용한 MRAM의 기입 방법에 있어서, 자기적 이방성의 성질을 이용한 장방향 형태를 가진 MTJ의 배치와 비트라인과 디지

트라인에 흐르는 전류를 제어함으로 다중 입출력 방식의 기입 동작이 가능하며 로우 단위의 결함 셀의 구제 동작이 효율적으로 수행된다.

#### 【발명이 이루고자 하는 기술적 과제】

- <24> 따라서, 본 발명의 목적은 다중 입출력 방식의 기입동작 및 로우(ROW) 단위의 결함 셀 구제 동작을 가능하게 자기 메모리 셀를 제공하는 것이다.
- <25> 본 발명의 다른 목적은 다중 입출력 방식의 기입동작 및 로우(ROW) 단위의 결함 셀 구제 동작을 가능하게 하는 MRAM를 제공하는 것이다.

#### 【발명의 구성 및 작용】

- <26> 상기한 본 발명의 제1 목적을 달성하기 위하여, 본 발명은 기판 상에 가로방향으로 연장된 디지트라인과 상기 기판 상에 세로 방향으로 연장된 비트라인과 상기 디지트라인과 상기 비트라인 사이의 교차 공간에 장축이 가로 방향으로 배치되고, 단축이 세로 방향으로 배치된 장방형의 자유자성층을 가진 자기 메모리 셀를 제공하는 것이다.
- <27> 또한 본 발명의 제2 목적을 달성하기 위하여, 본 발명은 기판 상에 정의된 적어도 하나 이상의 블록영역과 상기 각 블록영역을 가로방향으로 분할한 복수의 서브블록영역들과 상기 각 블록영역에서 가로 방향으로 연장되고, 세로방향으로 배치된 복수의 디지트라인들과 상기 각 블록영역에서 상기 디지트라인들과 평행하게 배치된 복수의 워드라인들과 상기 각 서브블록영역에서 세로 방향으로 연장되고, 가로 방향으로 배치된 복수의 비트라인들과 상기 디지트라인과 상기 비트라인 사이의 교차 공간에 장축이 가로 방향으로 배치되고, 단축이 세로 방향으로 배치된 장방형의 자유자성층을 가진 복수의 자기 메모리 셀들과 상기 복수의 디지트라인들 및 워드라인들이 연장된 상기 각 블록영역

의 일측에 배치되어, 상기 복수의 디지트라인들 및 워드라인들을 선택적으로 구동하기 위한 로우선택구동수단과 상기 복수의 비트라인들이 연장된 상기 각 블록영역의 일측에 배치되어, 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 구동하기 위한 제1컬럼선택구동수단과 상기 복수의 비트라인들이 연장된 상기 각 블록영역의 타측에 배치되어, 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 구동하기 위한 제2컬럼선택구동수단과 데이터를 입출력하기 위한 복수의 입출력라인들 및 상기 제2컬럼선택구동수단과 상기 복수의 입출력라인들 사이에 배치되고, 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 센싱하여 상기 복수의 입출력라인들에 출력하거나 상기 복수의 입출력라인들로부터 제공된 데이터를 대응하는 비트라인들에 기입하기 위한 센싱 및 기입구동수단을 구비한 것을 특징으로 하는 다중 입출력 자기 랜덤 억세스 메모리를 제공하는 것이다.

- <28> 이하 본 발명을 상세히 설명한다.
- <29> 도 1은 자기 메모리 셀(100)의 사시도이다. 확대된 자기 메모리 셀(100)의 등각 투상도(isometric view)로 이며 다른 유형의 자기 메모리 셀이 메모리 디바이스에 사용될 수 있음이 주지되어야 한다. 상기 자기 메모리 셀(100)은 1개의 MTJ(110)와 1개의 트랜지스터(190)로 구비되어 있음을 볼 수 있다. 상기 MTJ는 터널 절연층(150)에 의해 분리된 자유자성층(140), 고정자성층(160) 그리고 반자성층(170)을 포함하는 네 개의 층을 갖는다.
- <30> 상기 자유자성층(140)은 NiFeCo을 사용한다. 그리고 상기 고정자성층(160)은 NiFe을 사용한다. 그리고 상기 반자성층(170)은 IrMn과 같은 자기 물질을 이용한다. 상기 고정자성층(160)에서의 자화 벡터는, 예를 들면 상기 고정자성층(160)은 인접한 곳에 위치

한 반자성층에 의해 자기적으로 고정된다. 자기적으로 자유로운 자유자성층(140)은 외부 자계에 따라 자화 백터가 교대된다.

<31> 상기 터널 절연층(150)은, 예를 들면 Al2O3와 같은 절연 물질에 의해 형성되며, 대략 20Å의 두께를 갖는다. 이러한 얇은 두께는 상기 터널 절연층(150)이 상기 자유자성층(140)과 고정자성층(160) 사이에서 자기 터널 접합을 형성하게 하며, 이 터널링 접합을 통해서 터널 전류가 흐른다. 상기 자유자성층 상에는 상기 자유자성층과 연결되어 있는 비트라인(120)이 형성되어 있다. 그리고 상기 반자성층 아래에는 디지트라인(130)이 형성되어 있는데 상기 디지트 라인은 상기 반자성층과 절연되어 있다. 그리고 상기 디지트 라인 아래에 1개의 트랜지스터(190) 및 워드 라인(180)이 형성되어 있다. 상기 워드 라인(180)은 상기 디지트 라인과 연결되어 있다. 상기 워드 라인은 상기 트랜지스터의 게이트의 개폐의 역할을 한다.

<32> 도 1에서도 나타냈듯이, 상기 트랜지스터의 소스 부분이 접지(200) 되며, 상기 트랜지스터의 드레인 부분은 반자성층과 연결된다.

<33> 도 2는 상기 도1의 MTJ 부분을 본 발명에 따라 나타내는 평면도이다.

<34> 상기 도 2는 상기 디지트라인(130)과 상기 비트라인(120)의 교차 공간에 다중 입출력 방식의 기입(PROGRAM) 동작과 결함 셀 구제 동작을 가능하게 하는 MTJ(110)의 배치를 나타낸다. 구체적으로, 상기 도2는 기판 상에 가로방향으로 연장된 디지트라인과 상기 기판 상에 세로 방향으로 연장된 비트라인과 상기 디지트라인과 상기 비트라인 사이의 교차 공간에 장축(a)이 가로 방향으로 배치되고, 단축(b)이 세로 방향으로 배치된 장방형의 자유자성층(14)을 가진 MTJ(110)의 배치를 나타낸다. 그리고 상기 비트라인(120)에

상방향의 전류를 공급하고, 상기 디지트 라인(130)에 한 방향으로 전류를 공급하고 있음을 나타낸다.

<35> 도 3a 내지 도 3e는 상기 도 2에서 배치된 MTJ의 자화 메카니즘을 나타내는 그래프이다.

<36> 상기 도 3a 내지 도 3e는 상기 도 2에서 나타내듯이 상기 비트라인(120)과 상기 디지트라인(130)에 공급되는 전류방향에 따른 자유자성층의 자화반전 메카니즘을 보여준다.

<37> 도 3a는 전류와 자계의 방향을 나타내고 있다. S는 남쪽, N은 북쪽, E는 동쪽, 그리고 W는 서쪽을 나타낸다.

<38> 도 3b는 자기 메모리 셀 노드에 '1'이 기입되어 있는 상태를 보여준다. 이때 상기 터널 절연층(150) 하부에 위치하는 고정자성층(160)에서 자화 방향은 실선으로 표시되어 [E] 방향으로 고정되어 있음을 나타낸다. 그리고 상기 터널 절연층(150) 상부에 위치하는 자유자성층(140)에서 자화 방향이 점선으로 표시되어 [W] 방향으로 설정되어 있음을 보여주고 있어 반 평행의 상태를 나타낸다.

<39> 상기 점선은 외부의 영향에 의하여 자화의 방향이 변화될 수 있다는 것을 보여준다. 그리고 실선은 자화방향이 외부의 영향을 받지 않고 고정되어 있다는 것을 보여준다. 그리고 화살표 방향은 자화의 방향을 보여주고 있는 것이다.

<40> 도 3c는 상기 도 3b에서 상기 '1'이 기입되어 있는 상태에서, 비트라인 전류( $I_{BL}$ )가 [S] 방향, 디지트라인 전류( $I_{DL}$ )가 [E] 방향으로 공급된다. 도 3d는 상기 도 3c에 의하여 각각의 라인에 따라 흐르는 전류에 의해 유도된 자계의 방향을 보여주고 있는데, 비

트라인 자계( $H_{BL}$ )는 [E] 방향, 디지트라인 자계( $H_{DL}$ )는 [S] 방향으로 발생한다. 그러므로 상기 자계들의 백터 합인 합성자계( $H_{SUM}$ )의 방향이 설정된다. 도 3e는 상기 합성자계( $H_{SUM}$ )의 방향에 의하여 자유자성층의 자화방향이 변화된 상태를 나타내고 있다

- <41> 결과적으로 이러한 합성자계( $H_{SUM}$ )는 그래프 3e에 나타나듯이 자유자성층의 초기 자화방향을 반전시켜 상기 자유자성층의 자화방향과 상기 고정자성층의 자화방향이 평행을 이루어 MTJ의 저항을 최소화시킴으로서 자기 저항 셀 노드에 '0'을 기입할 수 있다.
- <42> 상기 자유자성층과 상기 고정자성층의 자화방향에 따르는 저항의 크고 작음에 대한 원리에 대하여 설명한다.
- <43> 본 발명의 MTJ는 터널링 자기 저항(TMR : TUNNELING MANETORESISTANCE, 이하에서는 TMR로 표기함) 현상을 이용하는 것으로 상기 TMR은 터널 절연층으로 분리된 강자성층의 이종스핀의 상태 밀도(DESITY OF STATE)가 서로 다르기 때문에 발생한다.
- <44> 두 강자성 스피н(SPIN) 사이에 터널링 확률은 두 전극의 상대적 자화방향에 의해 지배된다. 두 자성체의 자화 방향이 같으면 한 전극 점유된 상태(STATE) 수와 다른 전극의 점유 가능한 상태(STATE) 수가 최대로 일치되어 터널링 전류가 최대로 되고, 자화 방향이 반대가 되면 터널링 전류가 최소가 된다. 따라서 외부자계에 따라 자성층간의 스피ن 배열의 평행, 반 평행 상태로 변화하고 터널 저항이 작거나 커지는 현상이 발생한다. 이러한 원리를 이용하여 기존 DRAM의 캐페시터를 대체한 스토리지 셀 역할을 가능하게 한다.

<45> 도 4a 내지 도 4e는 상기 도 3a 내지 도 3e의 반대의 자화 메카니즘를 나타내는 그 래프이다.

<46> 상기 도 4a 내지 도 4e는 상기 도 2에서 나타내듯이 상기 비트라인(120)과 상기 디지트라인(130)에 공급되는 전류방향에 따른 자유자성층의 자화반전 메카니즘을 보여준다.

<47> 도 4a는 전류와 자계의 방향을 나타내고 있다. S는 남쪽, N은 북쪽, E는 동쪽, 그리고 W는 서쪽을 나타낸다.

<48> 도 4b는 자기 메모리 셀 노드에 '0'이 기입되어 있는 상태를 보여준다. 이때 상기 터널 절연층(150) 하부에 위치하는 고정자성층(160)에서 자화 방향은 실선으로 표시되어 [E] 방향으로 고정되어 있음을 나타낸다. 그리고 상기 터널 절연층(150) 상부에 위치하는 자유자성층(140)에서 자화 방향이 점선으로 표시되어 [E] 방향으로 설정되어 있음을 보여주고 있어 평행의 상태를 나타낸다.

<49> 상기 점선은 외부의 영향에 의하여 자화의 방향이 변화될 수 있다는 것을 보여준다. 그리고 실선은 자화방향이 외부의 영향을 받지 않고 고정되어 있다는 것을 보여준다. 그리고 화살표 방향은 자화의 방향을 보여주고 있는 것이다.

<50> 도 4c는 상기 도 4b에서 상기 '0'이 기입되어 있는 상태에서, 비트라인 전류( $I_{BL}$ )가 [N] 방향, 디지트라인 전류( $I_{DL}$ )가 [E] 방향으로 공급된다. 도 4d는 상기 도 4c에 의하여 각각의 라인에 따라 흐르는 전류에 의해 유도된 자계의 방향을 보여주고 있는데, 비트라인 자계( $H_{BL}$ )는 [W] 방향, 디지트라인 자계( $H_{DL}$ )는 [S] 방향으로 발생한다. 그러므로 상기 자계들의 백터 합인 합성자계( $H_{SUM}$ )의 방향이 설정된다. 도 4e는 상기

합성자계( $H_{SUM}$ )의 방향에 의하여 자유자성층의 자화방향이 변화된 상태를 나타내고 있다

<51> 결과적으로 이러한 합성자계( $H_{SUM}$ )는 도 4e에 나타나듯이 자유자성층의 초기 자화방향을 반전시켜 상기 자유자성층의 자화방향과 상기 고정자성층의 자화방향이 반 평행을 이루어 MTJ의 저항을 최대화시킴으로서 자기 저항 셀 노드에 '0'을 기입할 수 있다.

<52> 도 5는 다중 입출력 방식의 기입동작 및 결합 셀 구제 동작을 가능하도록 구비된 단위 블럭을 나타낸 개략도이다.

<53> 상기 개략도는 기판 상에 하나의 블록영역(210)을 포함하고 있다. 이것은 명세서를 작성하기 좋도록 편의상으로 하나로 표시되어 있지만 하나 이상의 블록영역이 될 수 있음을 주지한다. 그리고 상기 블록영역을 가로방향으로 분할한 복수의 서브블록영역들(220)을 포함하고 있으며 본 개략도에서는 일점 쇄선으로 표시하였다. 상기 블록영역에서 가로 방향으로 연장되고, 세로방향으로 배치된 복수의 디지트라인들(230)과 상기 블록영역에서 상기 디지트라인들과 평행하게 배치된 복수의 워드라인들(미도시)과 상기 각 서브블록영역에서 세로 방향으로 연장되고, 가로 방향으로 배치된 복수의 비트라인들(240)를 포함하고 있다. 상기 디지트라인들(230)과 상기 비트라인들(240) 사이의 교차 공간에 장축이 가로 방향으로 배치되고, 단축이 세로 방향으로 배치된 장방형의 자유자성층을 가진 복수의 자기 메모리 셀들(미도시)이 위치하고 있으며 상기 복수의 자기 메모리 셀들의 자화 방향이 화살표(250) 방향으로 표시되어 있다. 그리고 상기 복수의 디지트라인들(230) 및 복수의 워드라인들(미도시)이 연장된 상기 블록영역의 일측에 배치되어, 상기 복수의 디지트라인들 및 복수의 워드라인들을 선택적으로 구동하기 위한 로우선택구동수단(260)이 위치하고 있다. 그리고 복수의 비트라인들이 연장된 상기 블록영

역의 일측에 배치되어, 상기 복수의 비트라인들이 연장된 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 구동하기 위한 제1컬럼선택구동수단(270)과 상기 복수의 비트라인들이 연장된 상기 각 블록영역의 타측에 배치되어, 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 구동하기 위한 제2컬럼선택구동수단(280)이 위치한다. 그리고 데이터를 입출력하기 위한 복수의 입출력라인들(300)이 비트라인들과 근접하게 위치한다. 그리고 상기 복수의 입출력라인들(300) 사이에 배치되고, 상기 복수의 비트라인들(240)을 상기 각 서브블록단위로 각각 선택적으로 센싱하여 상기 복수의 입출력라인들(300)에 출력하거나 상기 복수의 입출력라인들(300)로부터 제공된 데이터를 대응하는 비트라인들에 기입하기 위한 센싱 및 기입구동수단(290)을 구비한다.

<54> 그리고 상기 블록 영역에서 다중 입출력 기입동작은 상기 복수의 비트라인들과 디지트라인들에 의하여 각 서브 블록에서 각각의 자기 메모리 셀에 데이터를 기입하기 위하여 상기 각 서브 블록에서 각 자기 메모리 셀들에 어드레싱을 실시한다. 그리고 상기 복수의 디지트라인들 및 복수의 워드라인들을 선택적으로 구동하기 위한 로우선택구동수단(260)에 의하여 상기 복수의 워드라인들을 이용하여 어드레스된 상기 각 자기 메모리 셀들의 트랜지스터를 OFF 시키며 상기 디지트라인을 통하여 한 방향으로 전류를 공급한다. 그리고 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 구동하기 위한 상기 제1컬럼선택구동수단(270)과 상기 제2컬럼선택구동수단(280)에 의하여 선택된 상기 복수의 비트라인들로 쌍방향 전류를 공급함으로 상기 어드레스 된 상기 각 자기 메모리 셀들의 자유자성체의 자화 방향을 반전하여 기입 동작을 수행한다.

<55> 구체적으로, 상기 도 5의 구성을 가진 각 서브 블록들에 있어서 칩의 활성모드 시도 5의 임의의 서브 블록에서 어드레스 된 자기 메모리 셀(310)과 임의의 서브 블록에서

어드레스 된 셀(320)에 기입동작을 할 경우, 상기 제1컬럼선택구동수단(270)과 상기 제2컬럼선택구동수단(280)에 의하여 상기 어드레스된 자기 메모리 셀들의 비트라인으로 공급되는 전류의 방향을 제어함으로써 상기 어드레스된 셀의 자유자성층의 자화방향을 반전시켜 데이터의 기입 동작을 수행한다.

<56> 또한 상기 어드레스 된 자기 메모리 셀들 외의 억세스된 셀들에 대한 상호 독립적인 데이터 기입동작이 가능함으로써, 다중 입출력 방식의 기입동작을 수행하는 자기 랜덤 억세스 메모리를 구현할 수 있다.

<57> 추가적으로 상기 도 5의 각 서브 블록들의 구성에서 임의의 결합 셀 발생 시 리던던시 셀로의 대체를 고려할 때, 상기 워드라인들(미도시)과 평행하게 배치되어 있는 상기 디지트라인들은 상기 블록영역에서 로우(ROW)방향으로 상기 복수의 자기 메모리 셀들이 공유되어 있음으로써, 로우(ROW) 단위의 구제 동작 시 상기 디지트라인들의 방향으로 억세스된 복수의 자기 메모리 셀들을 동시에 구제할 수 있어 효율적인 구제 동작이 가능하게 된다.

### 【발명의 효과】

<58> 본 발명에 의하면, MRAM에 있어서, 디지트라인과 비트라인 사이의 교차 공간에 장축이 가로 방향으로 배치되고, 단축이 세로 방향으로 배치된 장방형의 자유자성층을 가진 자기 메모리 셀를 구비하여 다중 입출력 방식의 기입동작이 가능하며 로우(ROW) 단위의 결합 셀의 구제 동작을 효율적으로 수행할 수 있다.

<59> 상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

기판 상에 가로방향으로 연장된 디지트라인;

상기 기판 상에 세로 방향으로 연장된 비트라인;

상기 디지트라인과 상기 비트라인 사이의 교차 공간에 장축이 가로 방향으로 배치되고, 단축이 세로 방향으로 배치된 장방형의 자유자성층을 가진 자기 메모리 셀로 구비되는 것을 특징으로 하는 자기 저항 랜덤 억세스 메모리.

**【청구항 2】**

제1항에 있어서, 상기 자기 메모리 셀은

상기 교차공간에서 디지트라인 상부에 배치되고 어느 한 방향으로 자화방향이 고정된 고정자성층;

상기 고정자성층 상에 배치된 터널절연층; 및

상기 터널절연층 상에 배치되고, 상기 비트라인과 전기적으로 연결된 상기 자유자성층을 구비한 것을 특징으로 하는 자기 저항 랜덤 억세스 메모리.

**【청구항 3】**

제2항에 있어서, 상기 자기 메모리 셀은

상기 고정자성층 하부에 면접된 반자성층을 더 구비한 것을 특징으로 하는 자기 저항 랜덤 억세스 메모리.

**【청구항 4】**

제2항에 있어서, 상기 메모리는

상기 디지트 라인과 동일 방향으로 연장되고 전기적으로 연결된 워드 라인을 포함하는 것을 특징으로 하는 자기 저항 랜덤 억세스 메모리.

### 【청구항 5】

제4항에 있어서, 상기 자기 메모리 셀은  
상기 워드라인에 의해 스위칭되어 상기 고정자성층에 전류패스를 제공하는 스위칭  
트랜지스터를 포함하는 것을 특징으로 하는 자기 저항 랜덤 억세스 메모리.

### 【청구항 6】

기판 상에 정의된 적어도 하나 이상의 블록영역;  
상기 각 블록영역을 가로방향으로 분할한 복수의 서브블록영역들;  
상기 각 블록영역에서 가로 방향으로 연장되고, 세로방향으로 배치된 복수의 디지  
트라인들;  
상기 각 블록영역에서 상기 디지트라인들과 평행하게 배치된 복수의 워드라인들;  
상기 각 서브블록영역에서 세로 방향으로 연장되고, 가로 방향으로 배치된 복수의  
비트라인들;  
상기 디지트라인과 상기 비트라인 사이의 교차 공간에 장축이 가로 방향으로 배치  
되고, 단축이 세로 방향으로 배치된 장방형의 자유자성층을 가진 복수의 자기 메모리 셀  
들;  
상기 복수의 디지트라인들 및 워드라인들이 연장된 상기 각 블록영역의 일측에 배  
치되어, 상기 복수의 디지트라인들 및 워드라인들을 선택적으로 구동하기 위한 로우선택  
구동수단;

상기 복수의 비트라인들이 연장된 상기 각 블록영역의 일측에 배치되어, 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 구동하기 위한 제1컬럼선택구동수단;

상기 복수의 비트라인들이 연장된 상기 각 블록영역의 타측에 배치되어, 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 구동하기 위한 제2컬럼선택구동수단;

데이터를 입출력하기 위한 복수의 입출력라인들; 및

상기 제2컬럼선택구동수단과 상기 복수의 입출력라인들 사이에 배치되고, 상기 복수의 비트라인들을 상기 각 서브블록단위로 각각 선택적으로 센싱하여 상기 복수의 입출력라인들에 출력하거나 상기 복수의 입출력라인들로부터 제공된 데이터를 대응하는 비트라인들에 기입하기 위한 센싱 및 기입구동수단을 구비한 것을 특징으로 하는 다중 입출력 자기 저항 랜덤 엑세스 메모리.

#### 【청구항 7】

제6항에 있어서, 상기 자기 메모리 셀은

상기 교차공간에서 디지트라인 상부에 배치되고 어느 한 방향으로 자화방향이 고정된 고정자성층;

상기 고정자성층 상에 배치된 터널절연층; 및

상기 터널절연층 상에 배치되고, 상기 비트라인과 전기적으로 연결된 상기 자유자성층을 구비한 것을 특징으로 하는 다중 입출력 자기 저항 랜덤 엑세스 메모리.

【청구항 8】

제6항에 있어서, 상기 자기 메모리 셀은

상기 고정자성층 하부에 면접된 반자성층을 더 구비한 것을 특징으로 하는 다중 입

출력 자기 저항 랜덤 억세스 메모리.

【청구항 9】

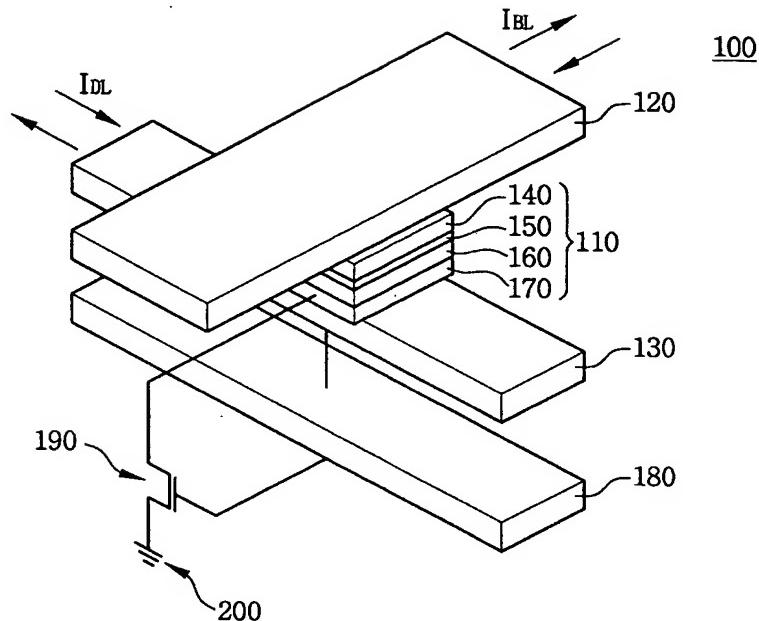
제6항에 있어서, 상기 자기 메모리 셀은

상기 워드라인에 의해 스위칭되어 상기 고정자성층에 전류패스를 제공하는 스위칭

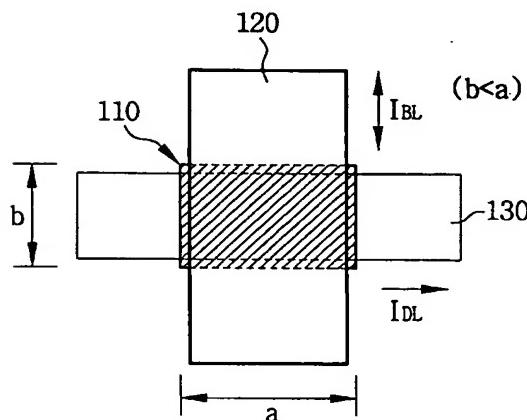
트랜지스터를 포함하는 것을 특징으로 하는 다중 입출력 자기 저항 랜덤 억세스 메모리.

## 【도면】

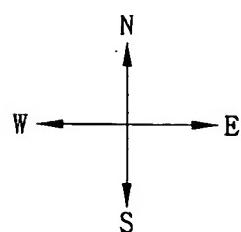
【도 1】



【도 2】



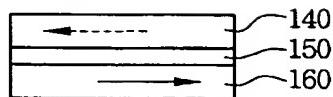
【도 3a】



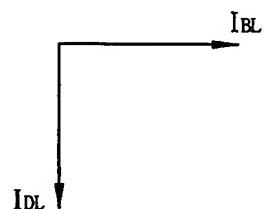
1020030025424

출력 일자: 2003/5/14

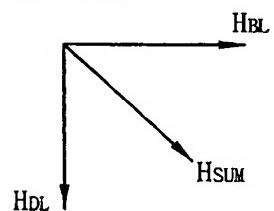
【도 3b】



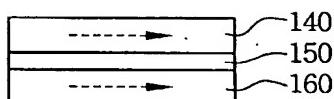
【도 3c】



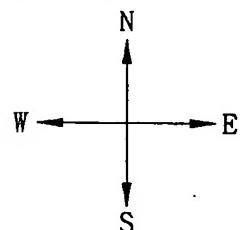
【도 3d】



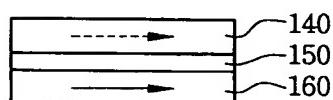
【도 3e】



【도 4a】



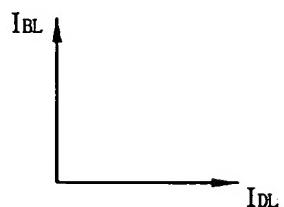
【도 4b】



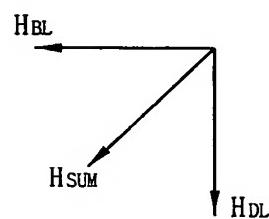
1020030025424

출력 일자: 2003/5/14

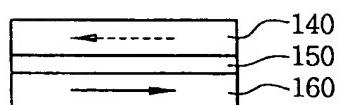
【도 4c】



【도 4d】



【도 4e】





1020030025424

출력 일자: 2003/5/14

【도 5】

210

